

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

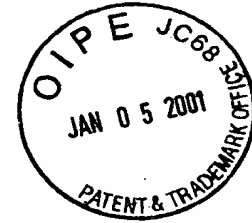
In re the Application of

Masanori IWAHASHI

Application No.: 09/718,346

Filed: November 24, 2000

Docket No.: 107864

For: DISPLAY DEVICES WITH INTEGRATED CONTROL
ELEMENTS AND METHODS OF MAKING DEVICESCLAIM FOR PRIORITYDirector of the U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 11-341650 filed December 1, 1999.

In support of this claim, a certified copy of said original foreign application:

 X is filed herewith. was filed on in Parent Application No. filed .

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

James A. Oliff
Registration No. 27,075Edward A. Brown
Registration No. 35,033

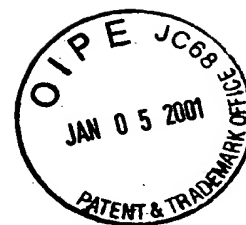
JAO:EAB/fpw

Date: January 5, 2001

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461
--

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年12月 1日

出 願 番 号

Application Number:

平成11年特許願第341650号

出 願 人

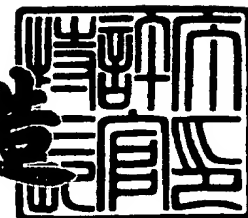
Applicant (s):

川崎製鉄株式会社

2000年12月 1日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3100064

【書類名】 特許願

【整理番号】 99J01090

【提出日】 平成11年12月 1日

【あて先】 特許庁長官 殿

【国際特許分類】 G09F 9/30

【発明者】

【住所又は居所】 東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社
社東京本社内

【氏名】 岩橋 正憲

【特許出願人】

【識別番号】 000001258

【氏名又は名称】 川崎製鉄株式会社

【代理人】

【識別番号】 100080159

【弁理士】

【氏名又は名称】 渡辺 望稔

【電話番号】 3864-4498

【選任した代理人】

【識別番号】 100090217

【弁理士】

【氏名又は名称】 三和 晴子

【電話番号】 3864-4498

【手数料の表示】

【予納台帳番号】 006910

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特平 1 1 - 3 4 1 6 5 0

【包括委任状番号】 9712299

【ブルーフの要否】 要

【書類名】 明細書
【発明の名称】 表示素子
【特許請求の範囲】

【請求項 1】

半導体基板上に、外部光源から入射される光の反射状態を制御する反射型の複数の画素電極と、該複数の画素電極の動作を制御する複数の制御素子とを対応させて積層し、アレイ状に配列した表示素子であって、

複数の前記画素電極は、行方向および該行方向に対して略直行する列方向に同一ピッチでアレイ状に配列され、

複数の前記制御素子は、前記行方向に対して θ ($0 < \theta < \pi/2$) の角度をなす第 1 の方向、および、該第 1 の方向に対して略直行する第 2 の方向にアレイ状に配列されていることを特徴とする表示素子。

【請求項 2】

半導体基板上に、外部光源から入射される光の反射状態を制御する反射型の複数の画素電極と、該複数の画素電極の動作を制御する複数の制御素子とを対応させて積層し、アレイ状に配列した表示素子であって、

複数の前記画素電極は、行方向および該行方向に対して略直行する列方向に同一ピッチでアレイ状に配列され、

複数の前記制御素子は、前記行方向および前記列方向にそれぞれ異なるピッチでアレイ状に配置され、

少なくとも 2 つの前記画素電極とこれらに各々対応する少なくとも 2 つの前記制御素子とはそれぞれの合計面積が等しく、各々の前記画素電極とこれに各々対応する前記制御素子とは、積層された上下の少なくとも一部の領域で互いに重なり合う領域を有することを特徴とする表示素子。

【請求項 3】

前記画素電極の制御は、該画素電極の上層に設けられる液晶層の配向制御であることを特徴とする請求項 1 または 2 に記載の表示素子。

【請求項 4】

前記画素電極の制御は、該画素電極として設けられる反射鏡の角度制御である

ことを特徴とする請求項 1 または 2 に記載の表示素子。

【請求項 5】

請求項 1 ～ 4 のいずれかに記載の表示素子であって、さらに、複数の前記画素電極のアレイ配列に対応する信号系列の画像信号を受け取って、該画像信号の信号系列を、複数の前記画素電極と複数の前記制御素子との対応関係に基づいて変換する変換回路を有することを特徴とする表示素子。

【請求項 6】

複数の前記制御素子のアレイ内に、複数の前記画素電極のアレイの行方向および列方向の配列に対応する駆動ラインを設けることを特徴とする請求項 1 ～ 4 のいずれかに記載の表示素子。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、反射型液晶表示装置等のいわゆるシリコンチップベースド液晶表示素子や、デジタルマイクロミラーデバイス（DMD）等のように、画素毎に反射型の画素電極を備え、プロジェクタ等への応用に適した微細かつ高精細な反射型表示素子に関するものである。

【 0 0 0 2 】

【従来の技術】

例えば、現在主流の透過型の液晶表示素子は、液晶の背面にバックライト光源が必要であり、そのための消費電力が大きいという問題がある。これに対し、反射型の液晶表示素子は、太陽光や部屋の照明等の外部光源を反射して表示するため、消費電力の大きいバックライト光源は不要である。この特徴を生かして大幅な低消費電力化が可能なことから、携帯電話や携帯情報端末等の屋外で利用する電子機器への応用が期待される。また、外部光源を使用したプロジェクタ等への応用が既に実施されている。

【 0 0 0 3 】

プロジェクタ等に用いられる液晶表示素子では高精細化が重視される。高精細化に伴って単位画素の大きさは微細化され、例えば対角 0. 9 インチの V G A (

640 × 480 = 307200画素) では約 28.6 μm 角であるが、これが S V G A (800 × 600 = 480000画素) では 22.9 μm 角、X G A (1024 × 768 = 786432画素) では 17.8 μm 角、U X G A (1600 × 1200 = 1920000 画素) では 11.4 μm 角というように素子の微細化が進む。

【0004】

以下、図 1 1 ~ 図 1 3 に示す液晶の場合を例に挙げて、従来の反射型表示装置とその問題点について説明する。

まず、図 1 1 は、従来の表示素子の構造を表す一例の回路図である。反射型液晶表示素子は、例えば透明電極、液晶、外部光源から入射する光を反射する反射型の画素電極、各々対応する画素の液晶の配向を制御する制御素子等をこの順に積層し、複数画素をアレイ状に配列して構成される。

【0005】

図 1 1 に示す縦横 4 × 4 の画素分の制御素子 1 4 は、各々 P 型 MOS トランジスタ (以下、P M O S という) 2 4 および N 型 MOS トランジスタ (以下、N M O S という) 2 6 を並列に接続して構成されたスイッチング回路 2 8 を有する。また、前述の画素電極、液晶および透明電極は、スイッチング回路 2 8 の一方の端子とグランドとの間に積層されている。なお、図示例は、スイッチング回路 2 8 の端子の寄生容量を利用して動作する。

【0006】

制御素子 1 4 において、行方向 (図中左右方向) に配置されているスイッチング回路 2 8 は、2 本一組の行電極駆動ライン 1 6 にその P M O S 2 4 および N M O S 2 6 のそれぞれのゲートが接続されている。また、列方向 (図中上下方向) に配置されているスイッチング回路 2 8 のそれぞれは、その一方の端子が前述の画素電極のそれぞれに接続され、他方の端子が列電極駆動ライン 1 8 に共通に接続されている。

【0007】

続いて、図 1 2 は、図 1 1 に示す表示素子の一例のレイアウト図、図 1 3 は、その 1 画素分のレイアウト図である。表示素子では、単位画素の形状を長方形にすると、これに応じて表示画面の縦横比も変わる。このため、単位画素の形状は

一般的に正方形とされる。このように、単位画素を正方形とする必要があるため、同図に示す反射型液晶表示素子の画素電極および制御素子の領域の形状も正方形に設計されている。

【0008】

しかし、液晶素子は、液晶駆動電圧がロジック回路の動作電圧よりも高い場合が多く、画素電極の下層の制御素子の微細化は必ずしも容易ではない。実現可能なトランジスタのデザインルールで設計した場合、正方形の領域では面積を最小にするのが困難であり、単位画素の領域を長方形にせざるをえない場合もある。これに対し、表示装置という性格上、画素電極は正方形もしくはそれに準じた形状にする必要があり、設計が困難になるという問題点があった。

【0009】

【発明が解決しようとする課題】

本発明の目的は、前記従来技術に基づく問題点をかえりみて、制御素子のレイアウト形状が画素電極の領域の形状と一致しない場合であっても、画素電極のアレイ配列に対応して制御素子をアレイ状に配列することができる表示素子を提供することにある。

【0010】

【課題を解決するための手段】

上記目的を達成するために、本発明は、半導体基板上に、外部光源から入射される光の反射状態を制御する反射型の複数の画素電極と、該複数の画素電極の動作を制御する複数の制御素子とを対応させて積層し、アレイ状に配列した表示素子であって、

複数の前記画素電極は、行方向および該行方向に対して略直行する列方向に同一ピッチでアレイ状に配列され、

複数の前記制御素子は、前記行方向に対して θ ($0 < \theta < \pi/2$) の角度をなす第1の方向、および、該第1の方向に対して略直行する第2の方向にアレイ状に配列されていることを特徴とする表示素子を提供するものである。

【0011】

また、本発明は、半導体基板上に、外部光源から入射される光の反射状態を制

御する反射型の複数の画素電極と、該複数の画素電極の動作を制御する複数の制御素子とを対応させて積層し、アレイ状に配列した表示素子であって、

複数の前記画素電極は、行方向および該行方向に対して略直行する列方向に同一ピッチでアレイ状に配列され、

複数の前記制御素子は、前記行方向および前記列方向にそれぞれ異なるピッチでアレイ状に配置され、

少なくとも2つの前記画素電極とこれらに各々対応する少なくとも2つの前記制御素子とはそれぞれの合計面積が等しく、各々の前記画素電極とこれに各々対応する前記制御素子とは、積層された上下の少なくとも一部の領域で互いに重なり合う領域を有することを特徴とする表示素子を提供する。

【0012】

ここで、前記画素電極の制御は、該画素電極の上層に設けられる液晶層の配向制御、もしくは、該画素電極として設けられる反射鏡の角度制御であるのが好ましい。

また、上記記載の表示素子であって、さらに、複数の前記画素電極のアレイ配列に対応する信号系列の画像信号を受け取って、該画像信号の信号系列を、複数の前記画素電極と複数の前記制御素子との対応関係に基づいて変換する変換回路を有するのが好ましい。

また、複数の前記制御素子のアレイ内に、複数の前記画素電極のアレイの行方向および列方向の配列に対応する駆動ラインを設けるのが好ましい。

【0013】

【発明の実施の形態】

以下に、添付の図面に示す好適実施例に基づいて、本発明の表示素子を詳細に説明する。

【0014】

図1は、本発明の表示素子の一実施例の概念図、図2は、図1に示す表示素子の1画素分の画素電極と制御素子との位置関係を表す概念図である。

まず、図1に示すように、本発明の表示素子10は、半導体基板（図示省略）上に、外部光源から入射される光を反射する反射型の複数の画素電極12と、こ

の複数の画素電極 1 2 の反射状態を制御する複数の制御素子 1 4 とを対応させて積層し、アレイ状に配列したものである。

【0 0 1 5】

画素電極 1 2 は、本実施例では、行方向（図中左右方向）および列方向（図中上下方向）に同一ピッチでアレイ状に配列され、制御素子 1 4 は、前述の行方向および列方向を 45° 左回転して得られる第 1 の方向、および、この第 1 の方向にほぼ直行する第 2 の方向に対して、それぞれ異なるピッチでアレイ状に配列されている。また、第 1 および第 2 の方向に沿って、各々の行および列毎に、行電極駆動ラインおよび列電極駆動ラインが配線されている。ここで、行電極駆動ライン 1 6 は、図 1 1 のように 2 本一組で設けられるものであってもいい。図 1 においては、簡単のために、それぞれの制御素子 1 4 の行に 1 本ずつ記している。

【0 0 1 6】

図 2 に示すように、画素電極 1 2 が形成される領域は縦横比 1 : 1 の正方形の領域であり、制御素子 1 4 が形成される領域は縦横比 2 : 1 の長方形の領域であるが、両者の領域の面積は当然同じである。なお、本実施例では、制御素子 1 4 の縦横比を 2 : 1 とし、画素電極 1 2 と制御素子 1 4 との傾斜角度を 45° としているが、制御素子 1 4 の縦横比に応じて、傾斜角度を θ ($0 < \theta < \pi/2$) ($\pi = 360^\circ$) の間で自由に変更してもよい。

【0 0 1 7】

続いて、図 3 に、図 1 に示す表示素子の一実施例のレイアウト図、図 4 に、図 3 に示す表示素子の画素電極と制御素子との位置関係を表すレイアウト図を示す。これらの図に示すレイアウトは、 3×3 個の画素電極 1 2 の領域に対して、各々対応する 3×3 個の制御素子 1 4 をアレイ状に配列した場合の一例を示すもので、第 1 の方向および第 2 の方向に沿って、それぞれ行電極駆動ライン 1 6 および列電極駆動ライン 1 8 が配線されている。

【0 0 1 8】

図 4 において、長方形の制御素子 1 4 の領域の、中央の破線で分けられた右上の正方形の領域が P ウェル領域であり、その中央の長方形の領域が NMOS の領域である。そして左下の正方形の領域が N ウェル領域であり、その中央の長方形

の領域がPMOSの領域である。それぞれのトランジスタ領域を横断して左上から右下に伸びるのがトランジスタのゲートである。複数の制御素子のゲートがつながって行電極駆動ライン16を形成する。制御素子14の領域全体を横断して右上から左下に伸びる2本の線の内、上側が列電極駆動ラインである。PMOSおよびNMOSのソース、ドレインの一方は、この列電極駆動ラインに接続される。他方は互いに接続されて、制御素子14の中央で画素電極に接続される。制御素子14の領域全体を横断して右上から左下に伸びる2本の線の内、下側は、ウェルに電源電位を供給する配線である。図4にはこの内の、NウェルにV_{dd}電位を供給する配線が記されている。PウェルにGND電位を供給する配線は、他の制御素子の領域内に設けられる。

【0019】

以上のように、本発明では、制御素子14のレイアウト形状が画素電極12の領域の形状と一致しない場合であっても、画素電極12のアレイ配列に対応して制御素子14をアレイ状に配置することができる。なお、本発明は、反射型の液晶表示素子や、デジタルマイクロミラーデバイス等のように、下層に画素選択のための制御素子を持ち、上層に反射型の画素電極を持つあらゆる種類の反射型表示素子に適用可能である。

【0020】

ところで、表示データに対応する画像を表示する場合、通常の表示素子では、行電極駆動ラインを指定し、列電極駆動ラインを順次変化させて、指定した行の各列に対応する制御素子を制御する。これに対し、図示例の表示素子10では、行電極駆動ライン16を指定し、列電極駆動ライン18を順次変化させると、図1に示す1→2→3の順に制御素子14の制御が行われる。これは通常の制御順序とは異なるため、データと制御順序との整合性を取る必要がある。

【0021】

これに対し、例えば変換回路（図示省略）を設けて、複数の画素電極12のアレイ配列に対応する信号系列の画像信号を受け取り、この画像信号の信号系列を、複数の画素電極12と複数の制御素子14との対応関係に基づいて変換するようにしてもよい。あるいは、以下に図5～図7を参照して詳細を説明するように

、行電極駆動ラインおよび列電極駆動ラインの配線を工夫することによって、データと制御順序との整合性を取るようにしてもよい。

【 0 0 2 2 】

ここで、図 5 に、図 1 に示す表示素子の別の配線状態を表す一実施例の概念図を示す。図示例の表示素子 2 0 は、図 1 に示す表示素子 1 0 において、各々の行および列毎に、第 1 および第 2 の方向に沿って配線されていた行電極駆動ラインおよび列電極駆動ラインを、行方向および列方向に沿ってジグザグに配線したものである。ここで、行電極駆動ライン 1 6 は、図 1 1 のように 2 本一組で設けられるものであってもいい。図 5 においては、簡単のために、それぞれの制御素子 1 4 の行に 1 本ずつ記している。

【 0 0 2 3 】

具体的なレイアウト例を挙げて説明する。

図 6 は、図 3 に示す表示素子の別の配線状態を表す一実施例のレイアウト図、図 7 は、図 6 に示す表示素子の画素電極と制御素子との位置関係および配線状態を表すレイアウト図である。図 7 の制御素子内のそれぞれの構成要素のレイアウトは、行電極駆動ラインおよび列電極駆動ライン、並びにウェルに電源電位を供給する配線が折り曲げられていることを除いては、基本的には図 4 の場合と同一である。ただし図 7 では、右上の領域が N ウェル領域であり、左下の領域が P ウェル領域である。そして、電源供給のための配線として、P ウェルに GND 電位を供給する配線が記されている。図 6 に示すレイアウトは、図 7 に示された基本セルを含めて 4 種の基本セルを組み合わせて構成されている。しかしそれらの基本セルはいずれも、基本的には図 7 と同様のレイアウトを有している。

【 0 0 2 4 】

これらの図に示すように配線を行うことにより、図示例の表示素子では、表示データに対応する画像を表示する場合、行電極駆動ライン 1 6 を指定し、列電極駆動ライン 1 8 を順次変化させると、図 5 に示す 1 → 2 → 3 の順に制御素子 1 4 の制御が行われる。すなわち、これは通常の制御順序と同じになるため、図 1 に示す表示素子のようにデータと制御順序との整合性を取る必要はなくなり、従来の表示素子と全く同じように使用することができる。

【0025】

なお、本発明の表示素子10では、画素電極12と制御素子14とを1対1に対応させるのが基本であるが、制御素子14として複数種類の基本セルを使用し、1対1ではなく、2対2以上を1つの単位として対応させ、これを繰り返し配置してもよい。また、各々対応する画素電極12と制御素子14とは、それぞれの積層された上下の一部の領域で重なり合う領域が存在していれば、両者の位置関係は何ら限定されない。

【0026】

また、上記実施例では、画素電極12が、行方向および列方向に同一ピッチでアレイ状に配列され、制御素子14が、行方向および列方向に対して傾斜されている第1の方向および第2の方向にアレイ状に配列されているが、本発明はこれに限定されず、画素電極12が、行方向および列方向に同一ピッチでアレイ状に配列され、制御素子14が、行方向および列方向にそれぞれ異なるピッチでアレイ状に配列される場合にも適用可能である。

【0027】

ここで、図8に、本発明の表示素子の2画素分の画素電極と制御素子との位置関係を表す別の実施例の概念図を示す。この図は、上下2行（2画素分）の画素電極12と制御素子14との位置関係を表すもので、画素電極12は、行方向および列方向に同一ピッチ（縦横比1：1）でアレイ状に配列され、制御素子14は、画素電極12に対して傾斜されておらず、行方向および列方向にそれぞれ異なるピッチ（縦横比4：1）でアレイ状に配置されている。

【0028】

画素電極12とこれ各々対応する制御素子14とはそれぞれの合計面積が等しく、各々の画素電極12とこれに各々対応する制御素子14とは、積層された上下の一部の領域で互いに重なり合っている。なお、図示を省略しているが、例えば行電極駆動ラインは、各々の行の画素電極12毎に図中黒点22の上を通過するように1本もしくは1組ずつ配線され、列電極駆動ラインは、1本の列電極駆動ラインが、2つの黒点22のそれぞれの上を通過するように配線される。

【0029】

図 8 に示す画素電極 1 2 と制御素子 1 4 との組み合わせを 1 つの基本単位として、これをアレイ状に繰り返し配置することによって、本発明の表示素子を構成することができる。なお、図示例では、制御素子 1 4 の縦横比を 4 : 1 とし、画素電極 1 2 と制御素子 1 4 とを 2 対 2 に対応させてこれを繰り返し配置するが、本発明はこれに限定されず、制御素子 1 4 の縦横比に応じて、画素電極 1 2 と制御素子 1 4 との比率を自由に変更してもよい。

【 0 0 3 0 】

また、本発明において、画素電極 1 2 の領域の形状は完全な正方形に限定されないし、制御素子 1 4 の領域の形状も長方形にのみ限定されるものではない。以下、図 9 および図 1 0 に示す概念図を参照しながら、一例を挙げて説明する。なお、図 9 および図 1 0 において、実線は、実際の画素電極 1 2 や制御素子 1 4 の境界線を、点線は、これらの実線で構成された領域が、本発明の範囲内であることを示す仮想の長方形あるいは正方形の領域を示す。

【 0 0 3 1 】

まず、制御素子 1 4 のアレイ配列としては、個々の制御素子の領域が完全な長方形でなくても、マクロに見た場合に長方形の繰り返しと見なしうる全てのものを当然含む。図 9 (a) および (b) において、実線で示す領域は、ともに点線で示した長方形の単位セルの変形と見なせるため、本発明の範囲内である。制御素子 1 4 の形状に何ら制限はなく、例えば三角形や五角形以上の多角形を組み合わせで繰り返し配置できれば問題はない。

【 0 0 3 2 】

同様に、画素電極 1 2 としては、図 1 0 に示すように、複数を組み合わせた場合に正方形の単位画素と見なせる全てのものを当然含む。図 1 0 (a) および (b) は点線で示した正方形の単なる変形と見なせるし、図 1 2 (c) においても、実線部分は、面積が制御素子 1 4 の 1 単位的面積より小さいが、繰り返しの周期を考えた場合、点線の制御素子 1 4 の 1 単位的面積と等しい正方形の繰り返しと見なせるので本発明の範囲内である。

【 0 0 3 3 】

また、本発明を全ての画素電極 1 2 および制御素子 1 4 に適用していなくても

、一部の領域の画素に対して適用していれば、それは本発明の一形態となる。なお、本発明では、表示素子の解像度は何ら限定されないし、制御素子の回路構成としては、図 1 1 に示すような従来公知のスイッチング回路はいずれも適用可能である。また、制御素子 1 4 に対応する具体的なレイアウトも図示例に限定されず、自由に変更してもよい。

【 0 0 3 4 】

本発明の表示素子は、基本的に以上のようなものである。

以上、本発明の表示素子について詳細に説明したが、本発明は上記実施例に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良や変更をしてもよいのはもちろんである。

【 0 0 3 5 】

【発明の効果】

以上詳細に説明した様に、本発明の表示素子では、高精細化に伴う微細化に対応して、下層の制御素子のレイアウト形状を画素電極の領域の形状と同じ正方形にすることができない場合であっても、正方形に配置された上層の画素電極のアレイ配列に対応して制御素子をアレイ状に配置することができる。従って、本発明の表示素子によれば、設計が容易で、プロジェクタ等に適した高精細かつ小型な反射型表示素子を安価に実現することができる。

【図面の簡単な説明】

【図 1】 本発明の表示素子の一実施例の概念図である。

【図 2】 図 1 に示す表示素子の 1 画素分の画素電極と制御素子との位置関係を表す概念図である。

【図 3】 図 1 に示す表示素子の一実施例のレイアウト図である。

【図 4】 図 3 に示す表示素子の 2 画素分の画素電極と制御素子との位置関係を表すレイアウト図である。

【図 5】 図 1 に示す表示素子の別の配線状態を表す一実施例の概念図である。

【図 6】 図 3 に示す表示素子の別の配線状態を表す一実施例のレイアウト図である。

【図 7】 図 6 に示す表示素子の画素電極と制御素子との位置関係および配線状態を表すレイアウト図である。

【図 8】 本発明の表示素子の 2 画素分の画素電極と制御素子との位置関係を表す別の実施例の概念図である。

【図 9】 (a) および (b) は、本発明の表示素子で用いられる制御素子の形状を表す一実施例の概念図である。

【図 10】 (a)、(b) および (c) は、本発明の表示素子で用いられる画素電極の形状を表す一実施例の概念図である。

【図 11】 従来の表示素子の構造を表す一例の回路図である。

【図 12】 図 11 に示す表示素子の一例のレイアウト図である。

【図 13】 図 11 に示す表示素子の 1 画素分のレイアウト図である。

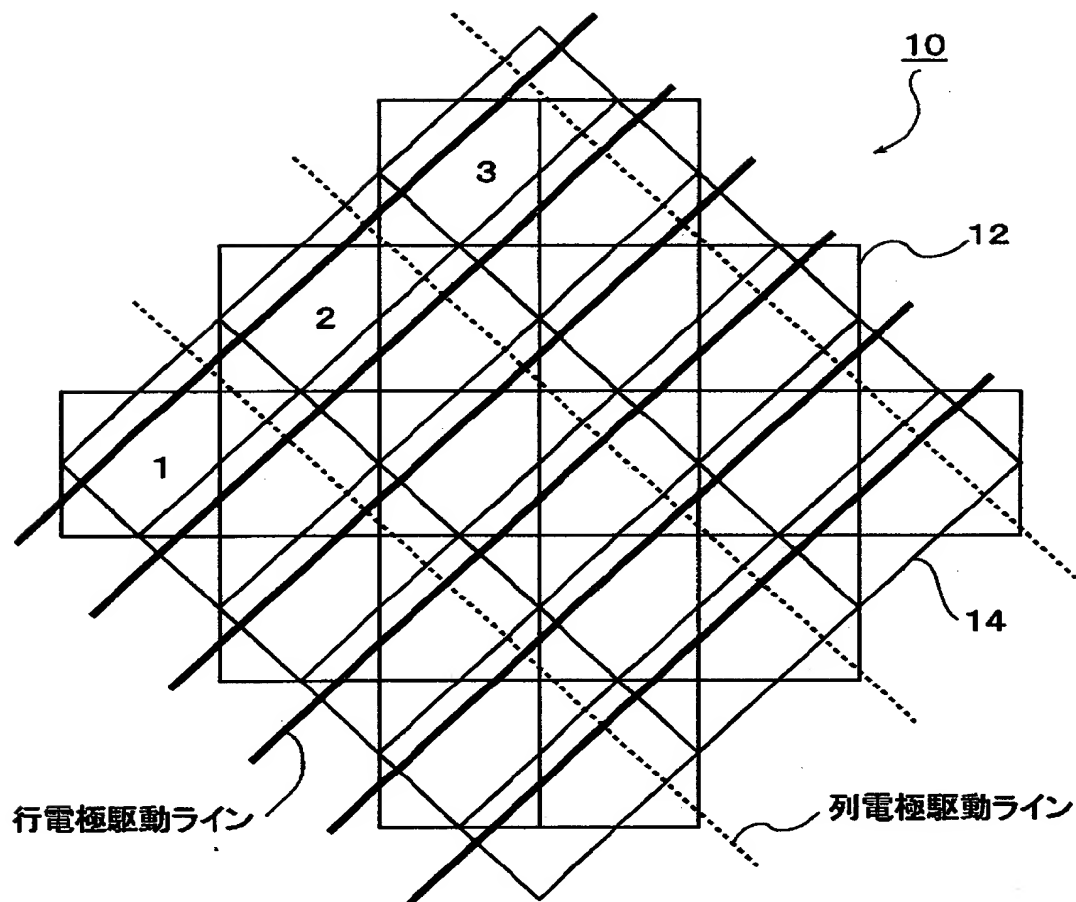
【符号の説明】

- 1 0, 2 0 表示素子
- 1 2 画素電極
- 1 4 制御素子
- 1 6 行電極駆動ライン
- 1 8 列電極駆動ライン
- 2 2 黒点
- 2 4 P型MOSトランジスタ
- 2 6 N型MOSトランジスタ
- 2 8 スイッチング回路

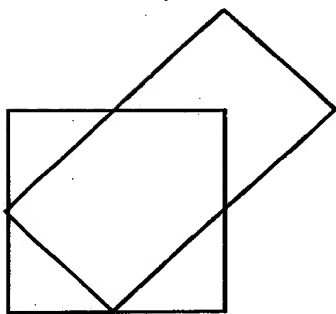
【書類名】

凶面

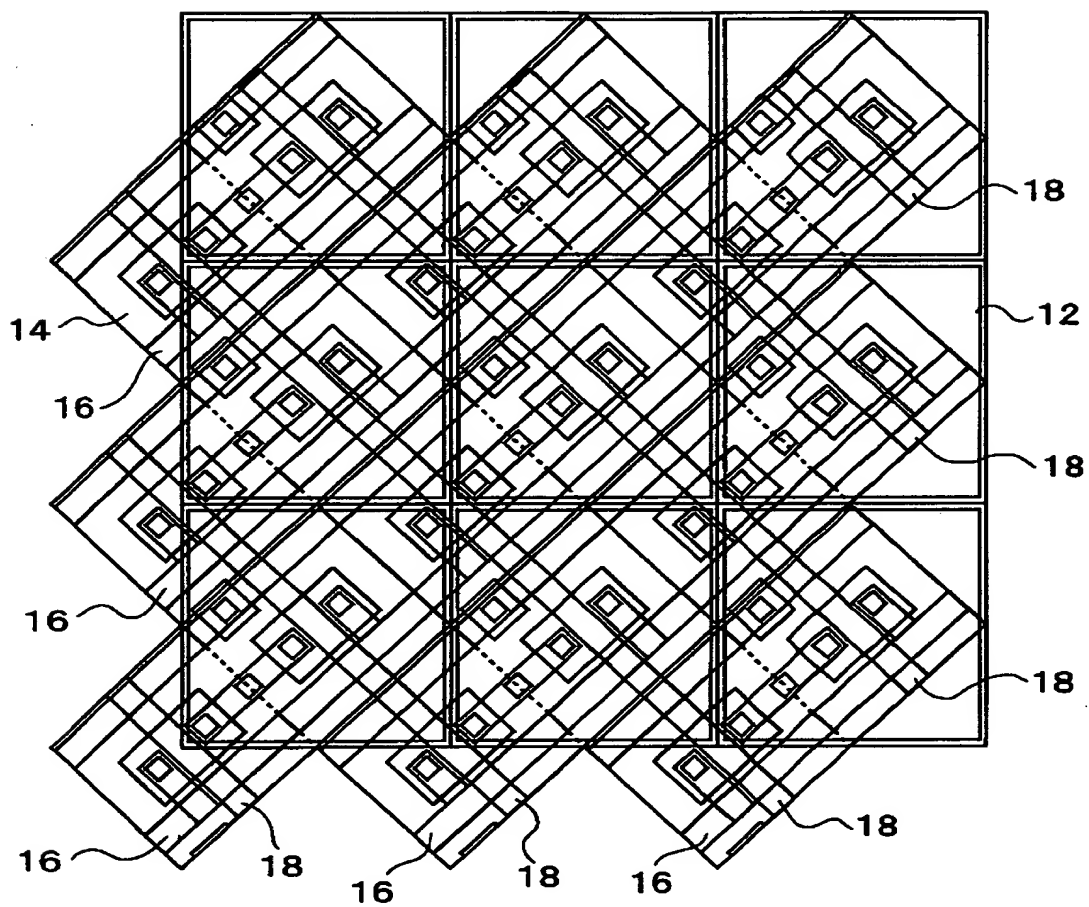
【図 1】



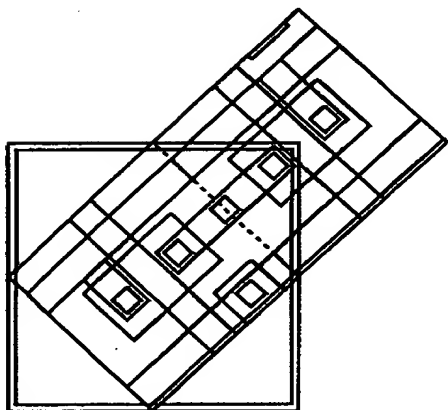
【図 2】



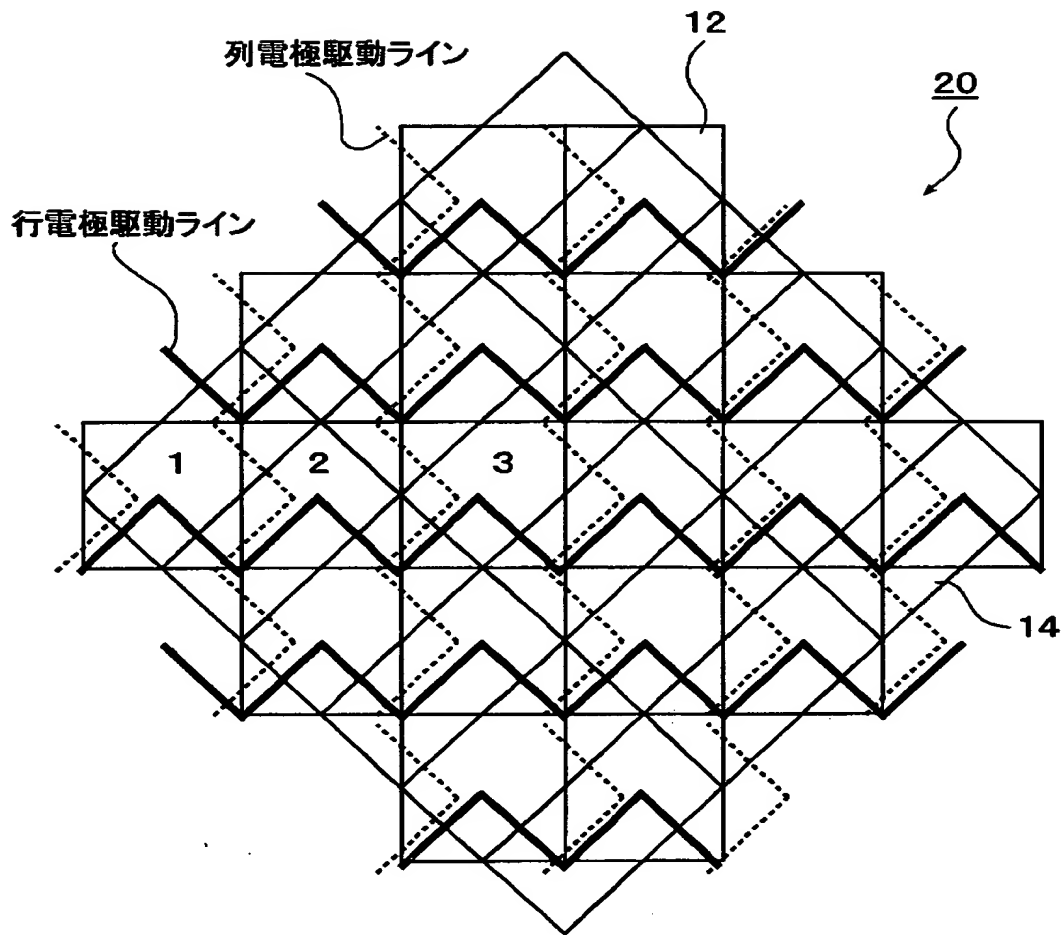
【図 3】



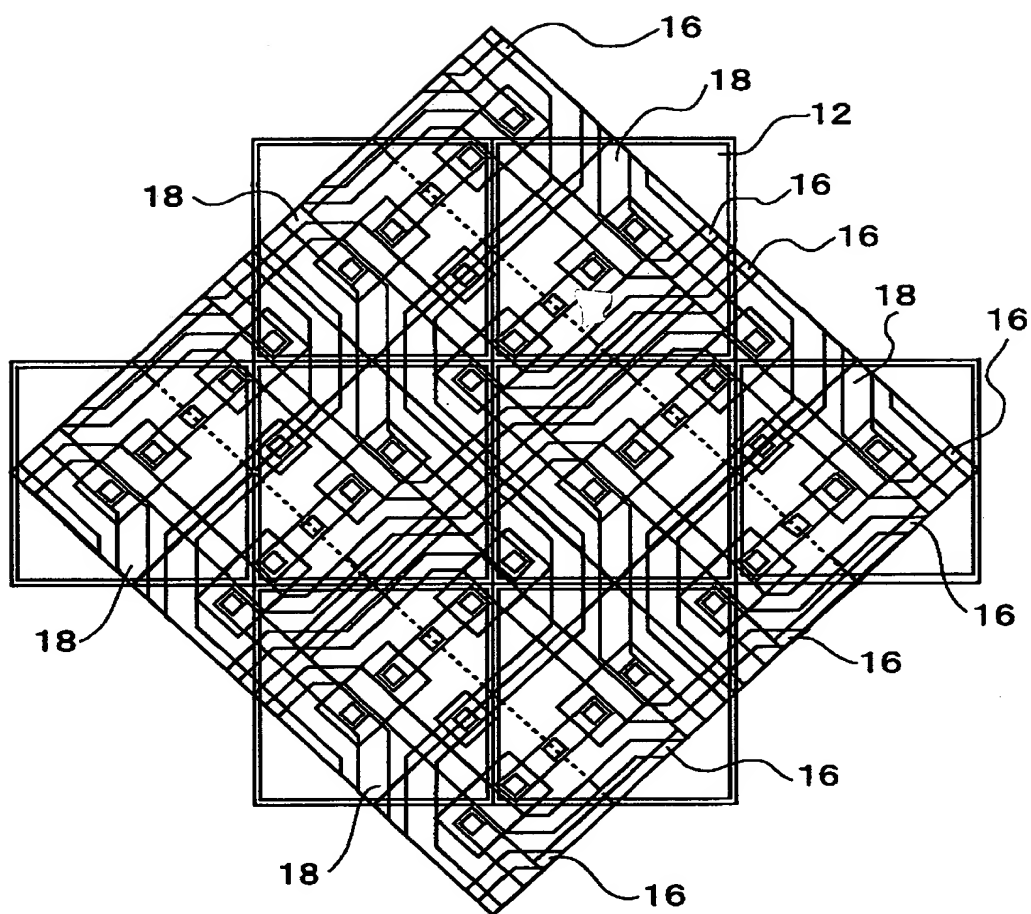
【図 4】



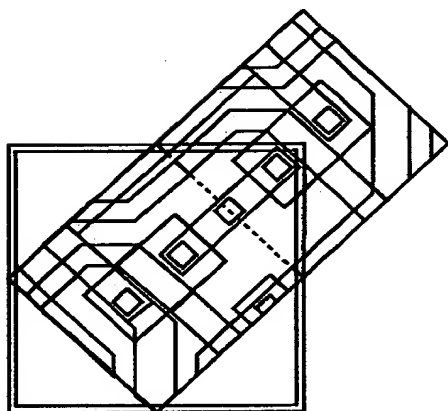
【図 5】



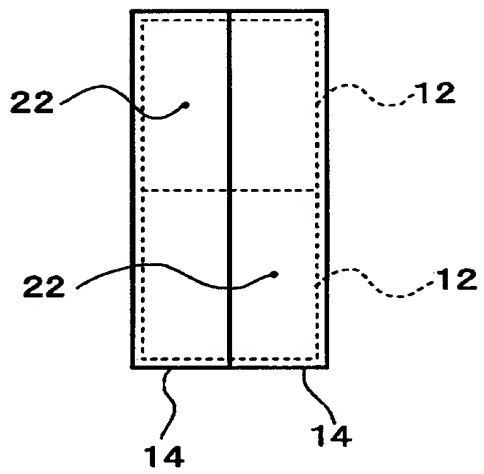
【図 6】



【図 7】

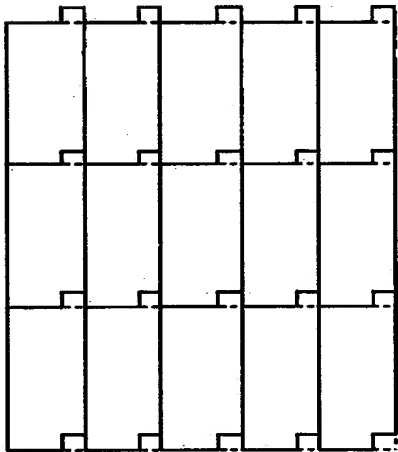


【図 8】

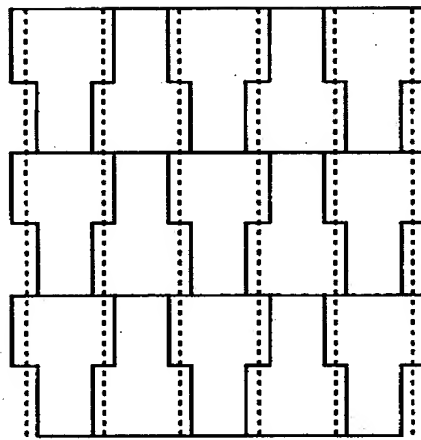


【図 9】

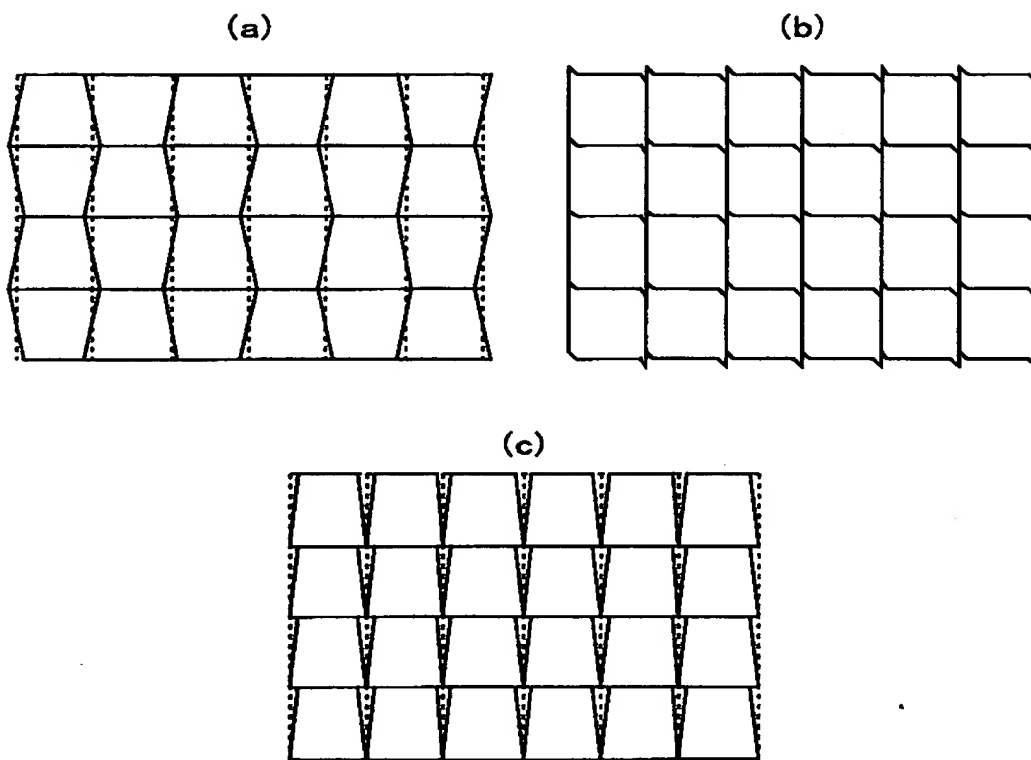
(a)



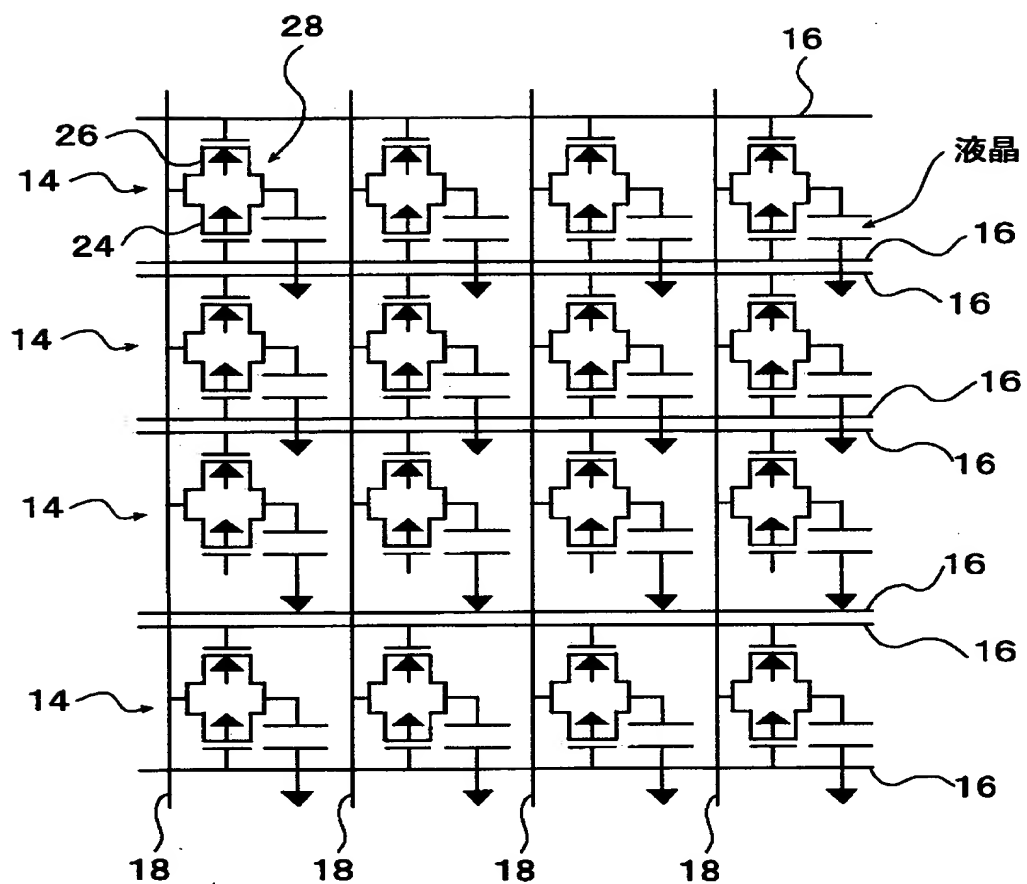
(b)



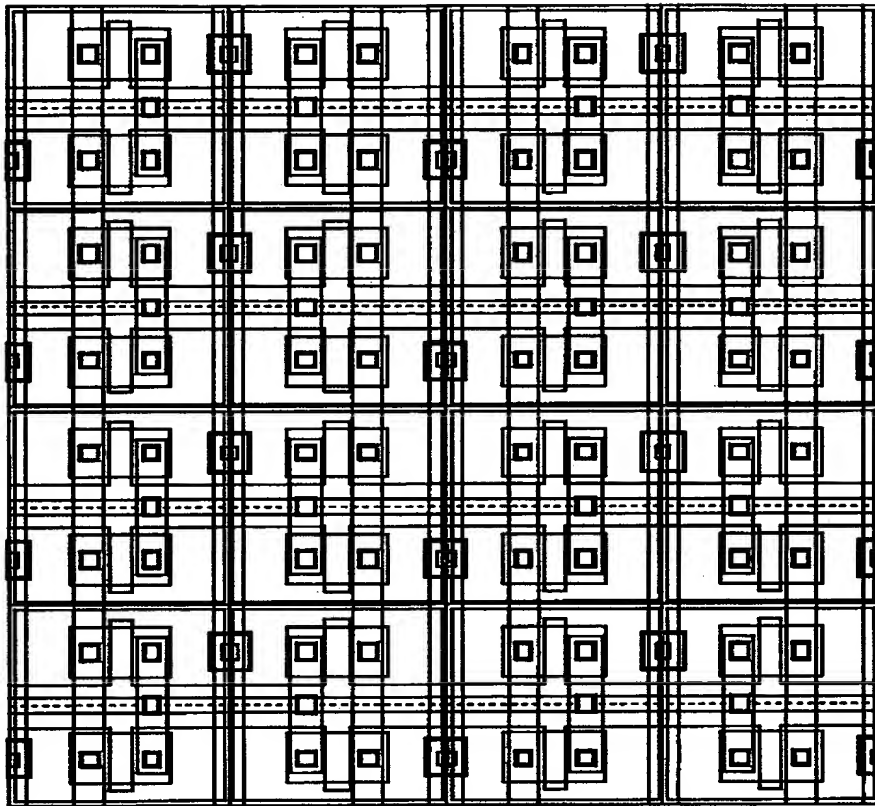
【図 1 0】



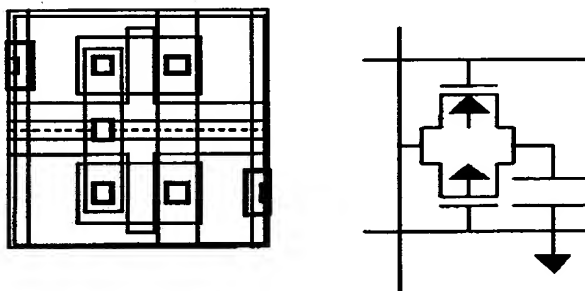
【図 1 1】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】制御素子のレイアウト形状が画素電極の領域の形状と一致しない場合であっても、画素電極のアレイ配列に対応して制御素子をアレイ状に配列することができる表示素子を提供する。

【解決手段】複数の画素電極を、行方向および行方向に対して略直行する列方向に同一ピッチでアレイ状に配列し、複数の制御素子を、行方向に対して θ ($0 < \theta < \pi/2$) の角度をなす第1の方向、および、第1の方向に対して略直行する第2の方向にアレイ状に配列することにより、上記課題を解決する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001258]

1. 変更年月日 1990年 8月13日
[変更理由] 新規登録
住 所 兵庫県神戸市中央区北本町通1丁目1番28号
氏 名 川崎製鉄株式会社